

Характеристики
А-согласующей
цепи

Белград, 18 августа 2005 г.

Содержание

1	Общие характеристики	3
1.1	Защита от повышенного напряжения:	3
2	Характеристики на выходном порту	3
3	Характеристики на входном порту	5
3.1	Максимальный входной джиттер	5
3.2	Обратные потери на входном порту	6
3.3	Заземление внешнего проводника (экран)	6
4	Организация мультимплексной передачи	6
4.1	Длина цикла	6
4.2	Организация битов на позициях 1, ..., 8 внутри цикла	6
4.3	Описание процедуры CRC-4 на бит-поз. 1 цикла ИКМ	7
4.3.1	Описание CRC-4 мультицикла	7
4.3.2	Употребление бита No1 в цикле	8
4.3.3	CRC	9
5	Синхронизация цикла и CRC-4 процедура	10
5.1	Потеря и восстановление синхронизации цикла	10
5.1.1	Потеря синхронизации цикла	10
5.1.2	Стратегия по восстановлению синхронизации цикла	10
5.2	Синхронизация CRC-4 мультицикла путем использ. бита 1	10
5.2.1	Работа при оборудовании, не поддерживающем CRC-4 процедуру	11
6	Структура цикла с каналами различной скоростью	13
6.1	Интерфейс с каналами в 64кбит/с	13
6.1.1	Структура цикла	13
6.1.2	Сигнализация	13
6.1.3	CCS сигнализация	13
6.1.4	CAS сигнализация	13
6.2	Интерфейс с каналами n x 64кбит/с	14
6.2.1	Организация канала No0	14
6.2.2	Организация канала No16	14
6.2.3	Организация остальных каналов	14
6.3	Интерфейс с сигналами n x 64кбит/с на стороне мультипл. сигнала	14
6.3.1	Организация канала No0	14
6.3.2	Организация канала No16	14
6.3.3	Организация остальных каналов	15

7 Потеря и восстановление выравнивания мультицикла при CAS 15**Список иллюстраций**

1	<i>Форма импульса на А-интерфейсе</i>	4
2	<i>Нижняя граница максимальных джиттера и вондера на входном порту .</i>	5
3	<i>Генерирование CRC-4 битов</i>	9
4	<i>Модифицированный алгоритм CRC-4 синхронизации</i>	12
5	<i>Организация цикла с одним сигналом $n \times 64$кбит/с</i>	14
6	<i>Организация цикла с одним или с несколькими сигналами $n \times 64$кбит/с . .</i>	15

Список таблиц

1	<i>Характеристики выходного порта</i>	3
2	<i>Параметры нижней границы максимального джиттера на входном порту</i>	5
3	<i>Обратные потери на входном порту</i>	6
4	<i>Организация битов 1, ..., 8 ИКМ цикла</i>	6
5	<i>CRC-4 мультицикл</i>	8
6	<i>Размещение битов канала No16</i>	13

1 Общие характеристики

Скорость передачи битов: 2048 кбит/с \pm 50 ppm (согласно ITU-T G.703, §6.1) Code: High density bipolar of order 3 (HDB3) (согласно ITU-T G.703, §6.1)

1.1 Защита от повышенного напряжения:

В соответствии с рекомендацией K20.

2 Характеристики на выходном порту

Характеристики сигналов на выходном порту показаны в нижеследующей таблице (согласно ITU-T G.703, §6.2, таблица 6.):

Форма импульса (номинально прямоугольная)	Допустимый импульс имеет размеры, согласно рис 1., несмотря на полярность сигнала	
Тип соед. кабеля	Коаксиальный кабель	Симметрич. пара жил
Полное сопротивление	75Ω резистивно	120Ω резистивно
Номин. напряжение (импульс)	2.37 В	3 В
Номин. напряжение (пауза)	0±0.237В	0±0.3 В
Номин. ширина импульса	244нс	
Соотношение амплитуд положительного и отрицательного импульсов на середине интервала пульсации	0.95 до 1.05	
Соотношение ширин положительного и отрицательного импульсов на половине номинальной амплитуды	0.95 до 1.05	
Максим. peak-to-peak джиттер на выходном порту	1.5UI от 20Гц до 18кГц 0.2UI от 18Гц до 100кГц согласно рекомендации ITU-T G.823, §2	

Таблица 1: Характеристики выходного порта

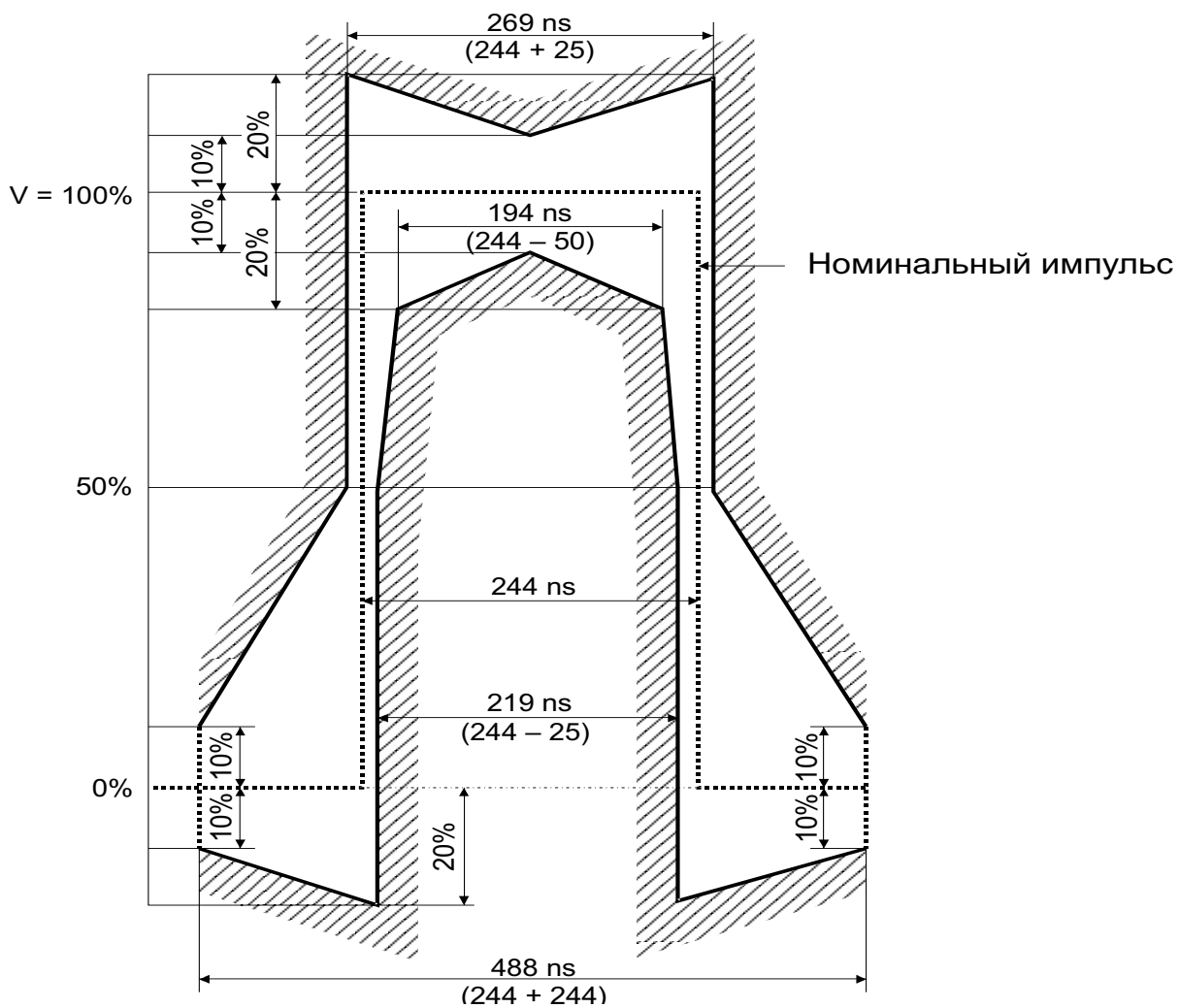


Рис. 1: Форма импульса на А-интерфейсе

3 Характеристики на входном порту

Сигнал на входе модифицируется в зависимости от характеристик соединительного кабеля. Можно предполагать, что ослабление кабеля происходит согласно закону $f^{1/2}$ и что при частоте в 1024кГц оно будет в пределах от 0 до 6 дБ (согласно ITU-T G.703, §6.3.1).

3.1 Максимальный входной джиттер

Максимальный входной допустимый джиттер показан на нижеследующем графике (согласно ITU-T G.823, §3):

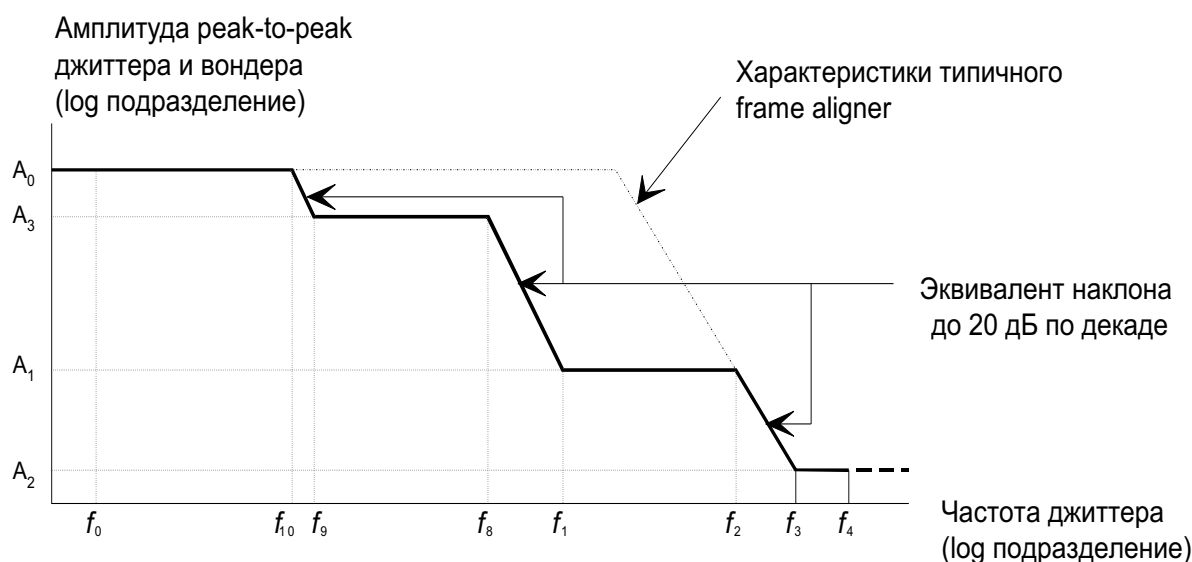


Рис. 2: Нижняя граница максимальных джиттера и вондера на входном порту

Характерные значения графика даны в табличной форме:

Peak-to-peak amplitude unit interval				Частота								PSR тест сигнал
A_0	A_1	A_2	A_3	f_0	f_{10}	f_9	f_8	f_1	f_2	f_3	f_4	
36.9	18	1.5	0.2	1.2×10^{-5}	4.88×10^{-3}	0.01	1.667	20	2400	18000	100000	$2^{15}-1$

Таблица 2: Параметры нижней границы максимального джиттера на входном порту

3.2 Обратные потери на входном порту

Обратные потери на входном порту имеют следующие минимальные значения (согласно ITU-T G.703, §6.3.3.):

Диапазон частот [кГц]	Обратные потери [дБ]
51-102	12
102-2048	18
2048-3072	14

Таблица 3: Обратные потери на входном порту

3.3 Заземление внешнего проводника (экран)

Внешний проводник коаксиального кабеля (рубашка), или симметричной пары жил (экран), заземляется на выходном порту. Допускается возможность, по надобности, выполнять заземление также на приемном порту. (согласно ITU-T G.703, §6.4.)

4 Организация мультимплексной передачи

4.1 Длина цикла

Длина цикла составляет 256 битов. Частота повторения циклов - 8000Гц (согласно ITU-T G.704, §2.3.1).

4.2 Организация битов на позициях 1, ..., 8 внутри цикла

Организация битов показана в нижеследующей таблице (согласно ITU-T G.704, §2.3.2):

Альтернативные циклы	1	2	3	4	5	6	7	8
Цикл, содержащий FAS сигнал	S_i	0	0	1	1	0	1	1
	Frame Alignment Signal							
Цикл, не содержащий FAS сигнал	S_i	1	A	S_{a4}	S_{a5}	S_{a6}	S_{a7}	S_{a8}

Таблица 4: Организация битов 1, ..., 8 ИКМ цикла

S_i -биты зарезервированы для международного употребления. Один из способов употребления этих битов - это процедура CRC-4. Если эти биты не используются, необходимо зафиксировать их на уровне логической единицы в случае, если тракт

переходит международные границы. Если тракт не переходит международные границы, эти биты можно использовать в соответствии с национальными правилами.

А-бит - это индикатор дистанционного аварийного сигнала (Remote Alarm Indication - RAI bit). Его устанавливают на значение логической единицы, если тракт находится в аварийном состоянии (потеря синхронизации цикла) и на значение логического нуля, если тракт не находится в аварийном состоянии.

Биты $S_{a4} \dots S_{a8}$ могут иметь одно из нижеуказанных назначений:

- в случае специфичных точка-точка применений в соответствии с рекомендациями ССИТТ в связи с транскодером (G.761) - для индикации аварийного состояния;
- S_{a4} бит можно использовать в качестве тракта передачи сообщений для потребностей обслуживания и мониторинга; если биты S_{a4} дополнительно устанавливаются, то эта операция выполняется таким способом, чтобы не нарушить процедуру CRC-4;
- $S_{a5} \dots S_{a7}$ биты можно использовать для национального употребления, если нет необходимости в специфичных точка-точка применениях;
- S_{a4}, \dots, S_{a8} биты устанавливаются на значения логической единицы (если не используются) на трактах, переходящих международные границы.

4.3 Описание процедуры CRC-4 на бит-позиции No1 цикла ИКМ (согласно ITU-T G.704, §2.3.3)

В случае потребности в дополнительной защите от симмуляции FAS сигнала и/или потребности в дополнительных возможностях в связи с error monitoring, бит No1 каждого цикла используется для процедуры cyclic redundancy check-4 (CRC-4).

Оборудование, которое имеет возможность выполнять процедуру CRC-4, должно быть в состоянии осуществлять связь с другим оборудованием, несмотря на способность этого другого оборудования выполнять процедуру CRC-4. Такую функцию можно выполнять либо автоматически, либо вручную:

- при работе вручную должна существовать возможность установить биты CRC-4 на значение логической единицы;

- при автоматической работе эта функция подразумевает возможность либо с высшего уровня требовать, чтобы работа выполнялась с оборудованием без CRC -4 процедуры, либо через модифицированный CRC-4 алгоритм перейти в состояние работы с оборудованием, у которого нет возможности выполнять процедуру CRC-4.

4.3.1 Описание CRC-4 мультицикла

В нижеследующей таблице показан CRC-4 мультицикл.

	Суб- мультицикл	Номер цикла	Биты 1...8 цикла							
			1	2	3	4	5	6	7	8
Мультицикл	1	0	C_1	0	0	1	1	0	1	1
		1	0	1	A	S_{a4}	S_{a5}	S_{a6}	S_{a7}	S_{a8}
		2	C_2	0	0	1	1	0	1	1
		3	0	1	A	S_{a4}	S_{a5}	S_{a6}	S_{a7}	S_{a8}
		4	C_3	0	0	1	1	0	1	1
		5	1	1	A	S_{a4}	S_{a5}	S_{a6}	S_{a7}	S_{a8}
		6	C_4	0	0	1	1	0	1	1
		7	0	1	A	S_{a4}	S_{a5}	S_{a6}	S_{a7}	S_{a8}
	2	8	C_1	0	0	1	1	0	1	1
		9	1	1	A	S_{a4}	S_{a5}	S_{a6}	S_{a7}	S_{a8}
		10	C_2	0	0	1	1	0	1	1
		11	1	1	A	S_{a4}	S_{a5}	S_{a6}	S_{a7}	S_{a8}
		12	C_3	0	0	1	1	0	1	1
		13	E	1	A	S_{a4}	S_{a5}	S_{a6}	S_{a7}	S_{a8}
		14	C_4	0	0	1	1	0	1	1
15		E	1	A	S_{a4}	S_{a5}	S_{a6}	S_{a7}	S_{a8}	

Таблица 5: CRC-4 мультицикл

C_1, \dots, C_4 биты представляют биты CRC-4. E-биты являются битами CRC-4 error indications.

Каждый CRC-4 мультицикл разделен на 16 циклов, которые обозначены порядковыми номерами 0, ..., 15. Эти 16 циклов разделены на два субмультицикла, в каждом из которых 8 циклов. Величина одного субмультицикла совпадает с величиной CRC-4 блока (2048 битов).

4.3.2 Употребление бита No1 в цикле

В тех циклах, в которых находится FAS сигнал, биты за порядковым номером 1 используются для передачи битов CRC-4 (C_1, \dots, C_4). В каждом субмультицикле имеются четыре бита CRC-4.

В тех циклах, в которых не находится FAS сигнал, биты за порядковым номером 1 используются для передачи 6-битового CRC-4 MFAS сигнала (multiframe alignment signal), значение которого составляет 001011. С помощью этих битов также осуществляется передача двух битов CRC-4 error indication.

E-биты должны быть установленными на значении 0 до тех пор, пока не закончится базовая синхронизация цикла, а также синхронизация CRC-4 мультицикла. E-биты используются для индикации ошибочно принятых CRC-4 субмультициклов таким способом, что при каждом ошибочно принятом субмультицикле изменяется значение

соответствующего Е-бита, который вместо значения логической единицы устанавливается на значение логического нуля. Любое запаздывание между обнаружением ошибочно принятого субмультицикла и установкой соответствующего Е-бита на значение логической единицы должно составлять менее 1с.

Е-биты всегда принимаются во внимание, даже, если принятый субмультицикл ошибочный, поскольку мало вероятно, что и сами Е-биты ошибочны.

Если на удаленном пункте имеется оборудование, которое не использует Е-биты, то должна существовать возможность установки Е-битов на значение логической единицы вручную.

4.3.3 CRC

CRC биты генерируются цепью, показанной на нижеследующем рисунке (согласно ITU-T G.704, §2.3.3.5.):

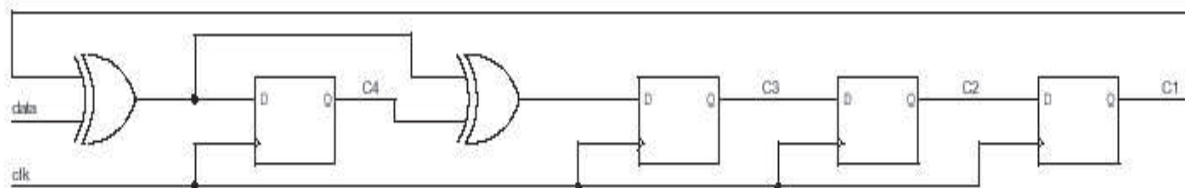


Рис. 3: Генерирование CRC-4 битов

4.3.3.1. Кодирование

Кодирование выполняется следующим способом (согласно ITU-T G.704, §2.3.3.5.2.):

- биты C_1, \dots, C_4 в субмультицикле устанавливаются на значение логического нуля;
- все биты субмультицикла пропускаются через цепь с предыдущего рисунка;
- когда последний бит субмультицикла пропустится (введется) в первый FF цепи с предыдущего рисунка, получают биты C_1, \dots, C_4 , которые вставляются на соответствующие позиции в следующем CRC-4 субмультицикле.

4.3.3.2. Декодирование

Декодирование выполняется следующим способом (согласно ITU-T G.704, §2.3.3.5.3.):

- принятый CRC-4 субмультицикл пропускается через цепь с предыдущего рисунка таким способом, что биты CRC-4 сначала выделяются и заменяются нулями;

- после того как последний бит CRC-4 субмультицикла введен в первый FF цепи с предыдущего рисунка, получаются биты C_1, \dots, C_4 , которые сопоставляются с битами CRC-4, которые получаются путем выделения из последующего CRC-4 субмультицикла;
- если биты CRC-4 идентичны, считается, что принятый субмультицикл CRC-4 - без ошибки.

5 Синхронизация цикла и CRC-4 процедура

5.1 Потеря и восстановление синхронизации цикла

5.1.1 Потеря синхронизации цикла (согласно ITU-T G.706, §4.1.1.)

Считается, что синхронизация цикла потеряна, если придут три некорректные FAS сигнала подряд.

Также, считается, что синхронизация цикла потеряна, если три последовательные бита No2 в циклах, которые не содержат FAS сигнал, будут приняты ошибочно.

Если процедура синхронизации CRC-4 мультицикла не закончится в течение предписанного периода времени, считается, что синхронизация цикла потеряна.

5.1.2 Стратегия по восстановлению синхронизации цикла (согласно ITU-T G.706, §4.1.2.)

Считается, что синхронизация цикла повторно восстановлена по проведении следующей процедуры:

- в первый раз находится правильный FAS сигнал в цикле n ;
- в цикле $(n+1)$ подтверждается отсутствие FAS сигнала таким способом, что проверяется, что бит No2 имеет значение 1;
- в цикле $(n+2)$ находится правильный FAS сигнал.

Во избежание возникновения ситуации, в которой невозможна синхронизация из-за случайного содержания, которое совпадает с FAS сигналом, необходимо повторный поиск правильного FAS сигнала стартовать в цикле $n+2$.

5.2 Синхронизация CRC-4 мультицикла путем использования бита No1 (согласно ITU-T G.706, §4.2.)

Считается, что синхронизация CRC-4 достигнута, если, как минимум, в двух мультициклах обнаружен правильный CRC-4 MFAS сигнал в пределах интервала времени не более 8мс, причем интервал между CRC-4 мультициклами составляет 2мс или целочисленное кратное этого интервала.

Поиск CRC-4 MFAS сигнала должен стартовать в цикле, который не содержит FAS сигнал.

Если синхронизация CRC-4 не достигнута в течение интервала времени в 8мс, считается, что это произошло из-за содержания, который идентичен MFAS сигналу, и запускается следующий поиск.

Если в течение 100-500мс не произойдет CRC-4 синхронизация, проводится такая же процедура как в случае потери синхронизации цикла.

5.2.1 Работа при оборудовании, не поддерживающем CRC-4 процедуру (согласно ITU-T G.706, Annex B)

Применяется модифицированный алгоритм CRC-4 синхронизации, показанный на рисунке 4.

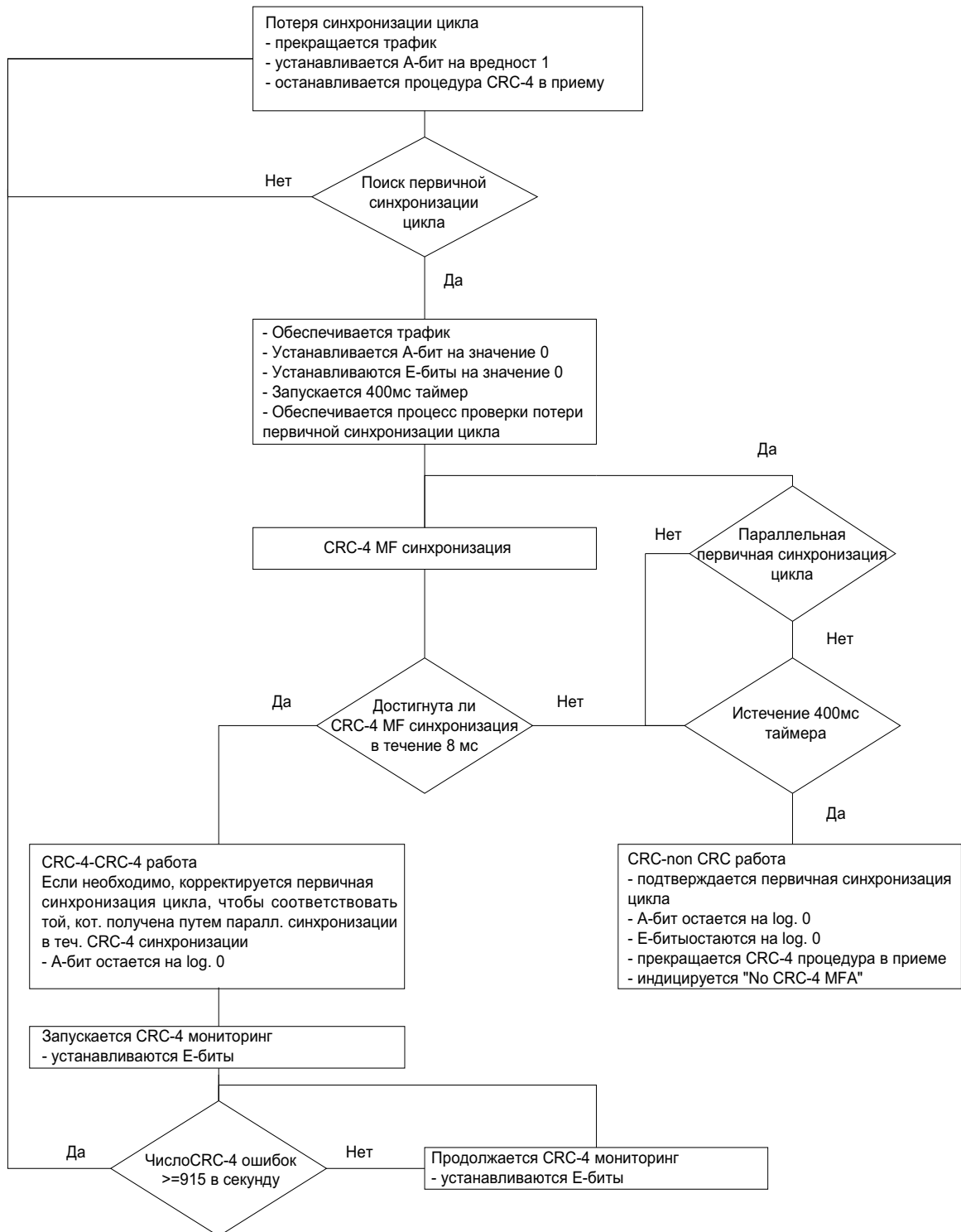


Рис. 4: Модифицированный алгоритм CRC-4 синхронизации

6 Структура цикла с каналами различной скоростью при скорости мультимплекса в 2048кбит/с

6.1 Интерфейс с каналами в 64кбит/с

6.1.1 Структура цикла (согласно ITU-T G.704, §5.1.)

В каждом канальном временном слоте в 64кбит/с имеется 8 битов, которые обозначены номерами с 1 по 8.

В каждом цикле имеется 32 канальные интервала в 64кбит/с, т.е. всего 256 битов. Канал No0 используется как это описано в разделе 4.

Каждый из каналов 1,..., 15 и 17,..., 31 несет ИКМ кодированные отсчеты сигналов из речевого диапазона.

Канал No16 используется для сигнализации. Если нет потребности в использовании его для сигнализации, канал No16 можно использовать так же, как каналы 1,..., 15 и 17,..., 31.

6.1.2 Сигнализация

Канал No16 можно использовать в CCS или CAS сигнализациях.

6.1.3 CCS сигнализация

Канал No16 используется для связи на скоростях до 64кбит/с.

6.1.4 CAS сигнализация

В настоящем случае существует организация циклов в мультициклы, как это уже описано в разделе 4. Биты 1,...,4 канального интервала в цикле 0 мультицикла имеют значение нуль и используются для синхронизации мультицикла.

В нижеследующей таблице показано размещение битов канального интервала 16 для потребностей CAS сигнализации.

Канал 16 цикл 0	Канал 16 цикл 1		Канал 16 цикл 2		Канал 16 цикл 3		...	Канал 16 цикл 15	
0000хухх	abcd кан 1	abcd кан 17	abcd кан 2	abcd кан 18	abcd кан 3	abcd кан 19	...	abcd кан 15	abcd кан 31

Таблица 6: Размещение битов канала No16

6.2 Интерфейс с каналами $n \times 64$ кбит/с (согласно ИТУ-Т G.704, §5.2.)

6.2.1 Организация канала No0

Организация канала No0 совпадает с той, которая упомянута в 4.2.

6.2.2 Организация канала No16

Канал No16 резервируется для потребностей сигнализации, если это необходимо.

6.2.3 Организация остальных каналов

Если $2 \leq n \leq 15$, TS_1 до TS_n заполняются данными $n \times 64$ кбит/с.

Если $15 < n \leq 30$, TS_1 до TS_{15} и TS_{17} до $TS_{(n=1)}$ заполняются данными $n \times 64$ кбит/с.

Остальные каналы заполняются логическими “единицами”.

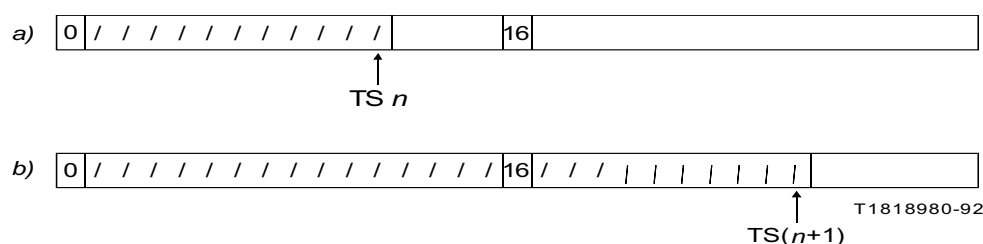


Рис. 5: Организация цикла с одним сигналом $n \times 64$ кбит/с

6.3 Интерфейс с одним или несколькими сигналами $n \times 64$ кбит/с на стороне мультиплексного сигнала

В случае любого сигнала $n \times 64$ кбит/с цикл в 2048кбит/с заполняется следующим способом:

6.3.1 Организация канала No0

Организация канала No0 совпадает с той, которая упомянута в 4.2.

6.3.2 Организация канала No16

Канал No16 резервируется для потребностей сигнализации, если это необходимо.

6.3.3 Организация остальных каналов

TS(x) - это временной слот, в который упаковывается первый временной слот из сигналов $n \times 64$ кбит/с.

Если $x \leq 15$ и $x+n-1 \leq 15$ или, если $x \geq 17$ и $x+n-1 \leq 31$, то организация цикла показана на рисунках 6а и 6б.

Если $x+n-1 \geq 16$, то заполнение временных слотов от TS(x) до TS(15) и TS(17) до TS(x+n) показано на рисунке 6с.

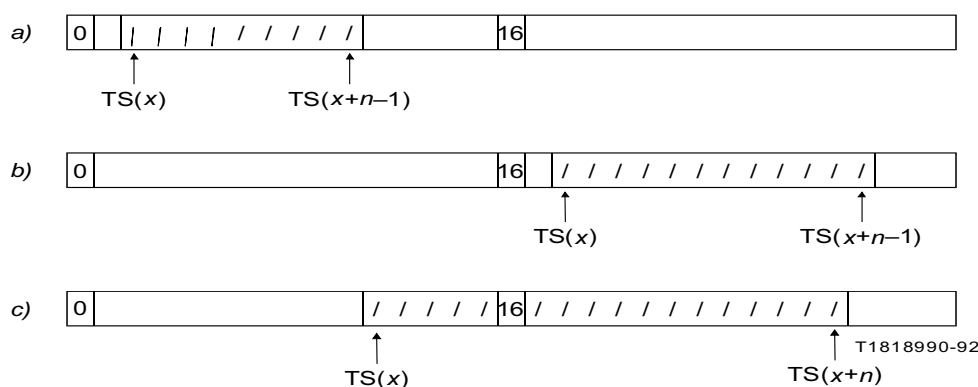


Рис. 6: Организация цикла с одним или с несколькими сигналами $n \times 64$ кбит/с

7 Потеря и восстановление выравнивания мультицикла при сигнализации CAS

Считается, что выравнивание мультицикла потеряно, если два последовательных сигнала выравнивания мультицикла приняты с ошибкой.

Считается, что выравнивание мультицикла восстановлено, если принят первый исправный сигнал выравнивания мультицикла.

Во избежание ошибочного выравнивания мультицикла необходимо провести следующие процедуры:

- считается, что выравнивание мультицикла потеряно, если в течение одного или двух мультициклов будут приняты все 16-тые каналы со всеми битами на уровне логического нуля;

- считается, что выравнивание мультицикла восстановлено, если, как минимум, один бит находится на уровне логической единицы в канале 16 в цикле, предшествующем циклу, в котором прежде всех обнаружен исправный сигнал выравнивания мультицикла.