

Характеристики
U-
согласующей
цепи

Belgrade, 18 августа 2005 г.

Содержание

1	Общие характеристики	3
1.1	Скорость передачи битов	3
1.2	Линейный код	3
1.3	Полное сопротивление	3
2	Выходные характеристики согласующей цепи	3
2.1	Форма сигнала	3
2.2	Мощность сигнала	5
2.3	Спектральная плотность мощности	5
3	Оконечная нагрузка приемника/передатчика	5
3.1	Сопротивление	5
3.2	Обратные потери	6
3.3	Продольные потери при преобразовании	6
4	Джиттер (jitter)	7
5	Питание	8
5.1	Динамические требования к питанию	9
5.2	Требования к сбросу NT1 и регенератора	9
6	Скремблирование	10
7	Структура цикла	10
7.1	Длина цикла	11
8	Синхрослово	11
8.1	Синхрослово в направлении LT-NT1	11
8.2	Синхрослово в направлении NT1-LT	11
8.3	Процедура выравнивания цикла	11
9	Сверхцикл	11
10	Сдвиг фаз циклов в направлениях LT-NT1 и NT1-LT	11
11	Канал C_L	12
11.1	Скорость битов	12
11.2	Структура	12
11.3	Протоколы и процедуры	14
11.3.1	Функции контроля ошибки	14
11.3.2	CRC алгоритм	14

11.3.3	Остальные функции C_L канала	14
11.3.4	ЕОС функции	17
12	Запуск и контроль	20

Список иллюстраций

1	Форма сигнала на выходном присоединении	4
2	Спектральная плотность мощности на присоединении согласующей цепи	5
3	Минимальные обратные потери	6
4	Минимальный продольный баланс	7
5	Максимально допустимый джиттер на выходном присоединении сети . .	8
6	Тестовая нагрузка источника питания	9

Список таблиц

1	Преобразование пар битов в кватернарные символы	3
2	Форма сигнала на выходном присоединении	4
3	Диапазоны напряжений питания NT1	8
4	Значения компонентов для тестовой нагрузки источника питания	9
5	Организация $2B+D$ поля	10
6	Структура цикла	10
7	Структура сверхцикла	13
8	NT1 биты состояния питания	15
9	Структура ЕОС цикла	17
10	Коды ЕОС функций	20

1 Общие характеристики

1.1 Скорость передачи битов

80 кбод \pm 5 ppm (согласно ITU-T G.961, Appendix II §II.2)

1.2 Линейный код

2B1Q (согласно ITU-T G.961, Appendix II §II.1)

Линейный код - 4-уровневый без избыточности. Каналы Б и Д скремблируются перед кодированием. Биты M_1 до M_6 канала C_L , также, кодируются и скремблируются таким же способом. Биты группируются по парам, которые преобразуются в кватернарные символы, называемые кватами (quat). В нижеследующей таблице показано преобразование битов Б и Д каналов в кваты.

Первый бит (знак)	Второй бит (величина)	Кватернарный символ (quat)
1	0	+3
1	1	+1
0	1	-1
0	0	-3

Таблица 1: Преобразование пар битов в кватернарные символы

На приемной стороне кватернарные символы преобразуются в пары битов и дескремблируются.

1.3 Полное сопротивление

135 Ω симметрично (согласно ITU-T G.961, Appendix II §II.13.1.)

2 Выходные характеристики согласующей цепи

Номинальное максимальное значение сигнала на присоединении согласующей цепи составляет 2.5В (согласно ITU-T G.961, Appendix II §II.12.1.).

2.1 Форма сигнала

Форма сигнала специфицирована на нижеследующем рисунке (согласно ITU-T G.961, Appendix II §II.12.2.).

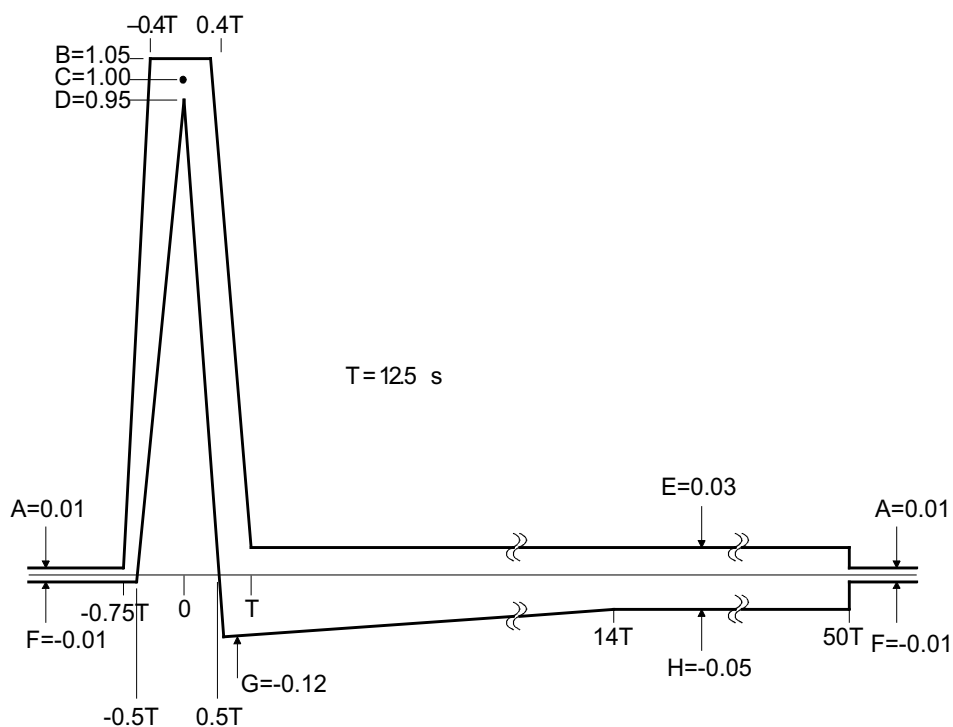


Рис. 1: Форма сигнала на выходном присоединении

Нормализованный уровень		Кватернарные символы			
		+3	+1	-1	-3
A	0.01	0.025B	0.008330B	-0.008330B	-0.025B
B	1.05	2.625B	0.875000B	-0.875000B	-0.025B
C	1.00	2.500B	5/6B	-5/6B	-2.500B
D	0.95	2.375B	0.791670B	-0.791670B	-2.375B
E	0.03	0.075B	0.025000B	-0.025000B	-0.075B
F	-0.01	-0.025B	-0.008330B	0.008330B	0.025B
G	-0.12	-0.300B	-0.100000B	0.100000B	0.300B
H	-0.05	-0.125B	-0.041670B	0.041670B	0.125B

Таблица 2: Форма сигнала на выходном присоединении

2.2 Мощность сигнала

Если последовательность битов на присоединении согласующей цепи состоит из синхрослов, причем на всех остальных позициях битов по одинаковой вероятности распределены все символы, то мощность сигнала на присоединении - в пределах между 13дБм и 14дБм в диапазоне частот от 0 до 80кГц (согласно ITU-T G.961, Appendix II §II.12.3.).

2.3 Спектральная плотность мощности

Верхняя граница спектральной плотности мощности показана на нижеследующем рисунке (согласно ITU-T G.961, Appendix II §II.12.4.).

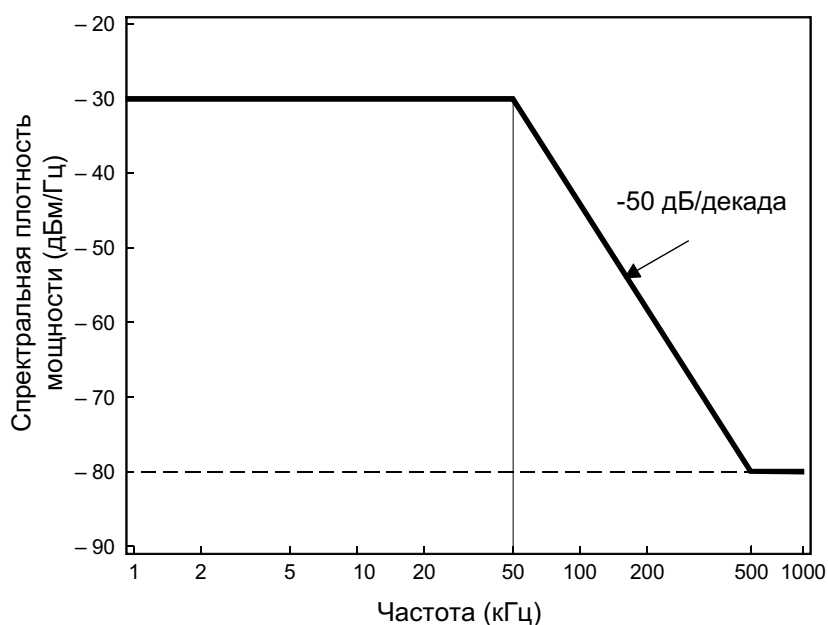


Рис. 2: Спектральная плотность мощности на присоединении согласующей цепи

3 Оконечная нагрузка приемника/передатчика

3.1 Сопротивление

Номинальное сопротивление составляет 135Ω (согласно ITU-T G.961, Appendix II §II.13.1.).

3.2 Обратные потери

Минимальные обратные потери при сопротивлении в 135Ω в диапазоне частот от 1кГц до 200кГц показаны на нижеследующем рисунке (согласно ITU-T G.961, Appendix II §II.13.2.).

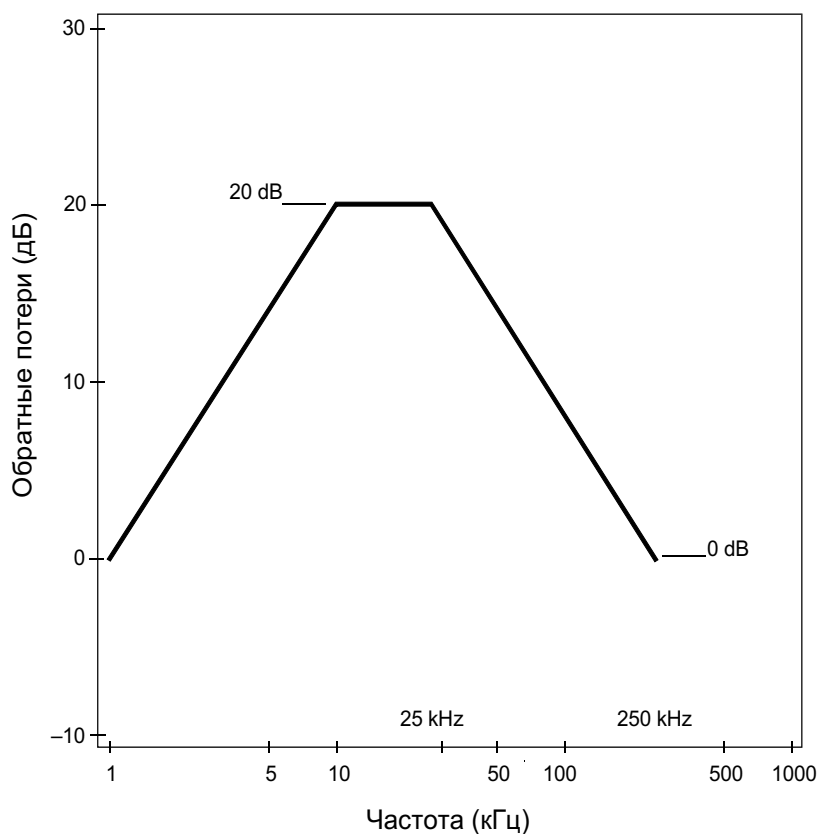


Рис. 3: Минимальные обратные потери

3.3 Продольные потери при преобразовании

Минимальный продольный баланс показан на нижеследующем рисунке (согласно ITU-T G.961, Appendix II §II.13.3.).

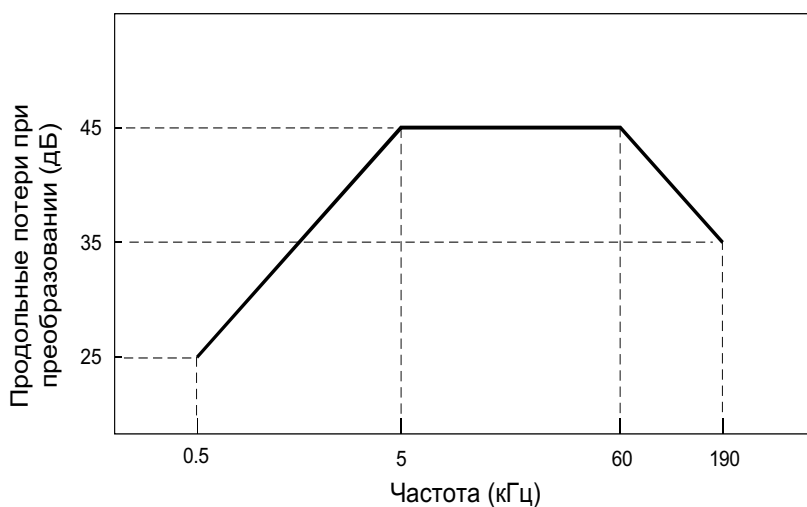


Рис. 4: Минимальный продольный баланс

4 Джиттер (jitter)

Максимальная амплитуда джиттера на выходном присоединении сети, при частотах джиттера от 0.1Гц до 20кГц, при скорости битов в 80кбод/с $\pm 5\text{ppm}$ показана на нижеследующем рисунке (согласно ITU-T G.961, Appendix II §II.11.).

Максимальный вондер (wander) в сутки на выходе сети составляет 1.44 UIpp причем максимальное изменение фазы составляет 0.06 UI/час.

Максимальный джиттер на входном порту сети при скорости битов в 80кбод/с $\pm 5\text{ppm}$ определен следующим способом:

- а) джиттер должен равняться или составлять менее 0.04 UIpp и менее 0.01UIr.m.s., при измерении полосовым фильтром, пропускающим высокие частоты, крутизна которого составляет 6дБ/окт ниже 80Гц;
- б) относительный джиттер по отношению к фазе сигнала на выходном порту не должен превышать 0.05 UIpp и 0.015r.m.s. при измерении полосовым фильтром, крутизна которого составляет 6дБ/окт выше 40Гц и ниже 1Гц;
- в) максимальное отклонение фазы входного сигнала от номинальной разницы (long term average) по отношению к фазе сигнала на выходном порту сети не должно превышать 0.1UI.

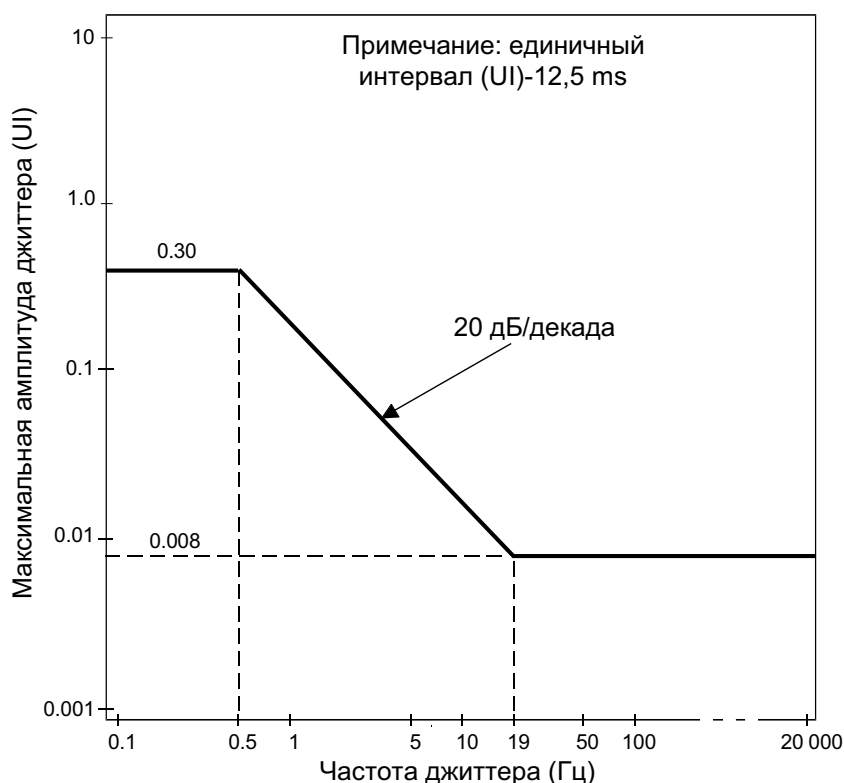


Рис. 5: Максимально допустимый джиттер на выходном присоединении сети

5 Питание

Питание NT1 и/или регенератора - по выбору. Источник питания NT1- постоянный источник питания с ограничением тока. Максимальное значение выходного напряжения на присоединениях согласующей цепи составляет 120В. Ограничение тока - на 50мА (согласно ITU-T G.961, §8.6.). В нижеследующей таблице показаны возможные напряжения питания на выходе согласующей цепи (согласно ETSI ETR 080 §10.5.1).

Минимум [В]	Максимум [В]
51	69
66	70
91	99
90	110
105	115

Таблица 3: Диапазоны напряжений питания NT1

5.1 Динамические требования к питанию

При подключении тестовой нагрузки, показанной на нижеследующем рисунке, к присоединениям согласующей цепи необходимо, чтобы узел генерирования питания NT1 обеспечивал ток в, как минимум, X мА в течение не менее 1.5с прежде, чем сработает защита (согласно ETSI ETR 080 §10.5.2).

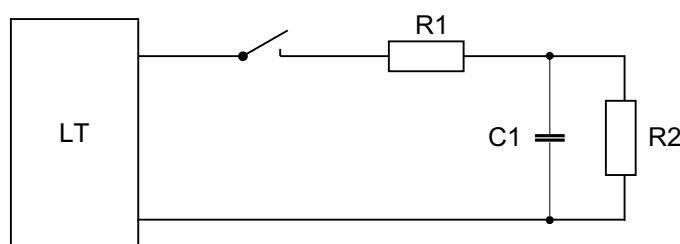


Рис. 6: Тестовая нагрузка источника питания

В нижеследующей таблице показана зависимость значения X и значения компонентов от диапазона источника питания на согласующей цепи.

Диапазон напряжений	R1[Ω]	C1[μF]	R2[Ω]	X [мА]
51-69	100	200	5000	45
66-70	900	200	1000	40
91-99	1000	400	3000	45
90-110	1000	400	3000	40
105-115	1000	400	3000	40

Таблица 4: Значения компонентов для тестовой нагрузки источника питания

5.2 Требования к сбросу NT1 и регенератора

Для потребностей сброса необходимо, чтобы напряжение на присоединениях согласующей цепи было ниже 5В в течение не менее 2с, измеряя при нагрузке в 100кΩ, подключенной к присоединениям согласующей цепи.

6 Скремблирование

Последовательность данных в любом направлении передачи скремблируется полиномом 23-ьего ряда прежде, чем вставить синхрослово (согласно ITU-T G.961, Appendix II §II.9.).

В направлении LT-NT1 полином: $1 \oplus x^{-5} \oplus x^{-23}$

В направлении NT1-LT полином : $1 \oplus x^{-18} \oplus x^{-23}$

\oplus - это операция сложения по модулю 2.

7 Структура цикла

Каждый цикл состоит из $2B+D$ каналов, синхрослова или инвертированного синхрослова и C_L канала, который содержит M-биты для потребностей обслуживания. В нижеследующей таблице показана организация одного $2B+D$ поля (согласно ITU-T G.961, Appendix II §II.3.).

Данные	B1				B2				D
Пары битов	$b_{11}b_{12}$	$b_{13}b_{14}$	$b_{15}b_{16}$	$b_{17}b_{18}$	$b_{21}b_{22}$	$b_{23}b_{24}$	$b_{25}b_{26}$	$b_{27}b_{28}$	d_1d_2
Кват	q_1	q_2	q_3	q_4	q_5	q_6	q_7	q_8	q_9
Число битов	8				8				2
Число кватов	4				4				1

Таблица 5: Организация $2B+D$ поля

Цикл состоит из 120-и кватернарных символов, общая длительность которых составляет 1.5мс. Структура цикла показана в нижеследующей таблице.

Цикл	FW/IFW	$12x(2B+D)$	C_L
Функция	Синхрослово	$2B+D$	Overhead
Число кватов	9	108	3
Позиция кватов	1-9	10-117	118-120
Число битов	18	216	6
Позиция битов	1-18	19-234	235-240

Таблица 6: Структура цикла

7.1 Длина цикла

Каждый цикл состоит из 12-и $2B+D$ полей. Каждое $2B+D$ поле состоит из 18-и битов (согласно ITU-T G.961, Appendix II §II.3.1.).

8 Синхрослово

Синхрослово используется для размещения B , D и C_L каналов. Также, используется для потребностей синхронизации по бодам (согласно ITU-T G.961, Appendix II §II.4.).

8.1 Синхрослово в направлении LT-NT1

Синхрослово в направлении от LT к NT1 одинаковое в каждом цикле, за исключением первого цикла сверхцикла. Синхрослово следующее:

$$FW = +3+3-3-3-3+3-3+3+3$$

Синхрослово в первом цикле сверхцикла в направлении от LT к NT1 следующее:

$$IFW = -3-3+3+3+3-3+3-3-3$$

8.2 Синхрослово в направлении NT1-LT

Как в §7.1.

8.3 Процедура выравнивания цикла

Не специфицирована единая процедура выравнивания цикла.

9 Сверхцикл

Для обеспечения возможности размещения битов C_L канала свыше одного цикла используется сверхцикл. Старт сверхцикла определяется инвертированным синхрословом (IFW). Число циклов в сверхцикле - 8 (согласно ITU-T G.961, Appendix II §II.6.).

Длительность сверхцикла составляет 12мс.

10 Сдвиг фаз циклов в направлениях LT-NT1 и NT1-LT

NT1 должен синхронизировать свою передачу с принятыми циклами (направление LT-NT1). Циклы в передаче должны быть сдвинутыми на 60 ± 2 кватернарные символа по отношению к циклам в приеме (согласно ITU-T G.961, Appendix II §II.7.).

11 Канал C_L

Этот канал состоит из последних трех кватернарных символов (6 битов) в каждом цикле сверхцикла (согласно ITU-T G.961, Appendix II §II.8.).

11.1 Скорость битов

Скорость битов C_L канала составляет 4кбит/с (согласно ITU-T G.961, Appendix II §II.8.1.).

11.2 Структура

48 битов сверхцикла образуют C_L канал и называются M-битами (согласно ITU-T G.961, Appendix II §II.8.2.).

24 бита (2кбит/с) по сверхциклу предназначено для канала ЕОС (embedded operations channel).

12 битов (1кбит/с) по сверхциклу предназначено для потребностей функции проверки - CRC (cyclic redundancy check).

12 битов (1кбит/с) по сверхциклу предназначается для потребностей других функций и для неиспользуемых битов.

Структура сверхцикла показана в нижеследующей таблице:

		Синхро	2B+D	C_L биты $M_1 - M_6$					
	Quat позиции	1-9	10-117	118с	118м	119с	119м	120с	120м
	Бит позиции	1-18	19-234	235	236	237	238	239	240
Сверх- цикл No	Базовый цикл No	Синхро- слово		M1	M2	M3	M4	M5	M6
LT-NT1									
A	1	IFW	2B+D	EOC_{a1}	EOC_{a2}	EOC_{a3}	ACT	1	1
A	2	FW	2B+D	EOC_{dm}	EOC_{i1}	EOC_{i2}	DEA	1	FEBE
A	3	FW	2B+D	EOC_{i3}	EOC_{i4}	EOC_{i5}	1	CRC_1	CRC_2
A	4	FW	2B+D	EOC_{i6}	EOC_{i7}	EOC_{i8}	1	CRC_3	CRC_4
A	5	FW	2B+D	EOC_{a1}	EOC_{a2}	EOC_{a3}	1	CRC_5	CRC_6
A	6	FW	2B+D	EOC_{dm}	EOC_{i1}	EOC_{i2}	1	CRC_7	CRC_8
A	7	FW	2B+D	EOC_{i3}	EOC_{i4}	EOC_{i5}	UOA	CRC_9	CRC_{10}
A	8	FW	2B+D	EOC_{i6}	EOC_{i7}	EOC_{i8}	AIB	CRC_{11}	CRC_{12}
B,C	...								
NT1-LT									

		Синхро	2B+D	C_L биты M_1-M_6					
1	1	IFW	2B+D	EOC_{a1}	EOC_{a2}	EOC_{a3}	ACT	1	1
1	2	FW	2B+D	EOC_{dm}	EOC_{i1}	EOC_{i2}	PS1	1	FEBE
1	3	FW	2B+D	EOC_{i3}	EOC_{i4}	EOC_{i5}	PS2	CRC_1	CRC_2
1	4	FW	2B+D	EOC_{i6}	EOC_{i7}	EOC_{i8}	NTM	CRC_3	CRC_4
1	5	FW	2B+D	EOC_{a1}	EOC_{a2}	EOC_{a3}	CSO	CRC_5	CRC_6
1	6	FW	2B+D	EOC_{dm}	EOC_{i1}	EOC_{i2}	1	CRC_7	CRC_8
1	7	FW	2B+D	EOC_{i3}	EOC_{i4}	EOC_{i5}	SAI	CRC_9	CRC_{10}
1	8	FW	2B+D	EOC_{i6}	EOC_{i7}	EOC_{i8}	1*	CRC_{11}	CRC_{12}
2,3									

Таблица 7: Структура сверхцикла

Значения отдельных аббревиатур из предыдущей таблицы следующие:

ACT – (**A**ctivation **B**it) Активационный бит (устанавливается на значение логической единицы в течение процедуры активации)

AIB – (**A**larm **I**ndication **B**it) Бит индикации аварийного состояния (означает прекращение)

CRC – (**C**yclic **R**edundancy **C**heck) Контрольная сумма. Вычисляется над 2B+D каналами и над M4 битами C_L канала. Бит CRC_1 является MSB битом контрольной суммы.

CSO – (**C**old **S**tart **O**nly **B**it) Только холодный пуск. Этот бит используется в качестве индикации возможности приемопередатчика на NT1. Если NT1 имеет возможность пуска только из холодного состояния, тогда этот бит надо установить на уровень логической единицы.

DEA – (**D**eactivation **B**it) Дезактивационный бит. Устанавливается на значение логической единицы для подтверждения дезактивации.

EOC – (**E**MBEDDED **O**PERATIONS **C**HANNEL) Канал для установленных операций.

a – Адресные биты

dm – Data/Message индикатор

i – Data/Message

FEBE – (**F**ar **E**nd **B**lock **E**rror **B**it) Индикатор ошибки на удаленном конце. Устанавливается на значение логического нуля после приема сверхцикла с ошибкой.

NTM – (**N**T1 в **T**est **M**ode **B**it) Бит индикации о том, что NT1 находится в тестовом режиме. Логический нуль индицирует, что NT1 - в тестовом режиме.

PS1,2 – (**P**ower **S**tatus **B**it) Биты состояния блока питания на NT1. Логический нуль индицирует о проблеме с питанием.

quat – Кватернарный символ

SAI – (**S**-**A**ctivation **I**ndicator) Индикатор активности на S/T согласующей цепи. Этот бит - опционный. Устанавливается на значение логической единицы при наличии S/T активности.

UOA – (DLL-only-bit) Этот бит - опционный. Устанавливается на значение логической единицы в случае активирования S/T согласующей цепи.

1 – Бит, который зарезервирован для будущих назначений.

1* – (Network Indication Bit) Бит индикации сети

2B+D – Данные о пользователях, биты 19-234 в базовом цикле.

M – C_L канал, биты 235-240 в базовом цикле.

FW/IFW – Синхро/инвертированное синхрослово, биты 1-18 в базовом цикле.

Длительность сверхцикла составляет 12мс.

Все биты, за исключением синхро/инвертированного синхрослова, скремблируются.

11.3 Протоколы и процедуры

11.3.1 Функции контроля ошибки

11.3.1.1. CRC

CRC биты - это биты M5 и M6 в циклах 3-8 сверхцикла (согласно ITU-T G.961, Appendix II §II.8.3.1.1.). CRC биты генерирует передаточная сторона и потом вставляет их на соответствующие места в сверхцикле. Приемник вычисляет контрольную сумму по принятым битам и сопоставляет ее с принятой контрольной суммой. Если эти две контрольные суммы различаются, то в принятом сверхцикле, в покрываемой контрольной суммой части имеется, как минимум, одна ошибка.

11.3.2 CRC алгоритм

CRC контрольная сумма вычисляется, используя полином (согласно ITU-T G.961, Appendix II §II.8.3.1.2.):

$$P(x) = x^{12} \oplus x^{11} \oplus x^3 \oplus x^2 \oplus x \oplus 1$$

где \oplus - сложение по модулю 2. Контрольная сумма вычисляется на битах B, D и M4.

11.3.3 Остальные функции C_L канала

11.3.3.1. FEVE бит

Этот бит является обязательным битом (согласно ITU-T G.961, Appendix II §II.8.3.2.1.). FEVE бит устанавливается на значение логической единицы при условии отсутствия ошибок в принятом сверхцикле или на значение логического нуля, если в принятом сверхцикле имеются ошибки. FEVE бит устанавливается в следующем доступном сверхцикле, который передается в сторону удаленной станции.

11.3.3.2. АСТ бит

Этот бит является обязательным битом (согласно ITU-T G.961, Appendix II §II.8.3.2.3.). АСТ бит - это бит M4 в первом цикле сверхцикла в обоих направлениях передачи. АСТ бит используется как часть последовательности для запуска.

11.3.3.3. DEA бит

Этот бит является обязательным битом (согласно ITU-T G.961, Appendix II §II.8.3.2.3.). DEA бит -это бит M4 во втором цикле сверхцикла от LT в сторону NT1. Используется для деактивации NT1 со стороны LT. Чтобы обеспечить надежное обнаружение установки бита DEA при попытке деактивации необходимо соответствующее состояние (логический ноль) передавать, как минимум, в трех последовательных сверхциклах прежде, чем прекратить посылку.

11.3.3.4. NT1 биты состояния питания

NT1 биты состояния питания - это биты M4 во втором и третьем цикле сверхцикла от NT1 в сторону LT (согласно ITU-T G.961, Appendix II §II.8.3.2.4.). Они зарезервированы для индикации состояния блока питания NT. Их употребление - опционное. Если не используются, эти биты должны быть установлены на значение логической единицы. В нижеследующей таблице показано употребление этих битов состояния (согласно ITU-T G.961, Appendix II, Annex A §AII.2.).

	PS1 PS2	Описание
Питание исправное	11	Первичное и батарейное питания (если они имеются) - исправны. Исправное питание в T опорной точке (если оно имеется).
Отказ первичного питания	10	Первичное питание - нормальное, батарейное питание (если оно имеется) - недоступно, неисправно или на грани. Питание в T опорной точке - исправное (если оно имеется).
Отказ вторичного питания	01	Первичное питание - на грани или оно неисправно. Батарейное питание (если оно имеется) - исправно. Питание в T опорной точке - ниже 34В или его полярность обращена.
Отказ обоих питаний	00	Первичное и батарейное питания (если они имеются) - на грани или они неисправны. Питание в T опорной точке (если оно имеется) - ниже 34В или его полярность обращена. NT1 грозит прекращение нормальной работы.

Таблица 8: NT1 биты состояния питания

11.3.3.5. NT1 бит индикации тестового режима

NT1 бит индикации тестового режима - это бит M4 в четвертом цикле сверхцикла (согласно ITU-T G.961, Appendix II §II.8.3.2.5.). Его употребление является опциональным. Когда не используется, этот бит устанавливается на значение логической единицы. Считается, (согласно ITU-T G.961, Appendix II, Annex A §AII.3.) что NT1 находится в тестовом режиме, если канал D или любой из каналов B включен в какую-нибудь из абонентских местно инициированных функций обслуживания. В течение тестового режима NT1 может оказаться недоступным или не быть в состоянии выполнять действия, требуемые через EOC канал.

11.3.3.6. CSO бит

CSO бит - это бит M4 в пятом цикле сверхцикла (согласно ITU-T G.961, Appendix II §II.8.3.2.6.). Его употребление является опциональным. Когда не используется, этот бит устанавливается на значение логического нуля. Этот бит используется в качестве индикации возможности приемопередатчика на NT1 (согласно ITU-T G.961, Appendix II, Annex A §AII.4.). Если у NT1 имеется только возможность холодного пуска, тогда этот бит надо установить на уровень логической единицы.

11.3.3.7. UOA бит

UOA бит - это бит M4 в седьмом цикле сверхцикла со стороны LT-а (согласно ITU-T G.961, Appendix II §II.8.3.2.7.). Его употребление является опциональным. Когда не используется, этот бит устанавливается на значение логической единицы. Этот бит используется в качестве запроса, относящийся к NT1, активировать S/T согласующую цепь (если она существует) (согласно ITU-T G.961, Appendix II, Annex A §AII.5.). При активировании S/T согласующей цепи этот бит устанавливается на значение логической единицы. В противном случае этот бит устанавливается на значение логического нуля.

11.3.3.8. SAI бит

SAI бит - это бит M4 в седьмом цикле сверхцикла со стороны NT1 (согласно ITU-T G.961, Appendix II §II.8.3.2.8.). Используется для индикации активности на S/T согласующей цепи. Его употребление является опциональным. Когда не используется, этот бит устанавливается на значение логической единицы. Если имеется активность (INFO1 или INFO3 на S/T опорной точке), тогда этот бит устанавливается на значение логической единицы (согласно ITU-T G.961, Appendix II, Annex A §AII.6.). В противном случае этот бит устанавливается на значение логического нуля.

11.3.3.9. AIB бит

AIB бит - это бит M4 в восьмом цикле сверхцикла со стороны LT-а (согласно ITU-T G.961, Appendix II §II.8.3.2.9.). Его употребление является опциональным. Когда не используется, этот бит устанавливается на значение логической единицы. По проключении пути передачи для каналов B1, B2 и D вплоть до станции этот бит устанавливается на

значение логической единицы (согласно ITU-T G.961, Appendix II, Annex A §AII.7.). В результате ошибки или прекращения в системе передачи, транспортирующей В1, В2 и D каналы, передается логический нуль в сторону NT1 на месте этого бита. Возможные ошибки: потеря сигнала, потеря синхронизации цикла, ошибка в терминале передачи и т.д.

11.3.3.10. NIB бит

NIB бит - это бит M4 в восьмом цикле сверхцикла со стороны NT1 (согласно ITU-T G.961, Appendix II §II.8.3.2.10.). Его употребление является опциональным. Когда не используется, этот бит устанавливается на значение логической единицы.

11.3.3.11. Зарезервированные биты

Все остальные биты M4, M5 и M6 зарезервированы для потребностей будущей стандартизации (согласно ITU-T G.961, Appendix II §II.8.3.2.11.). Они устанавливаются на значение логической единицы перед скремблированием.

11.3.4 ЕОС функции

24 бита каждого сверхцикла (2кбит/с) распределено для функций ЕОС (embedded operations channel) (согласно ITU-T G.961, Appendix II §II.8.3.3.).

11.3.4.1. ЕОС цикл

ЕОС цикл состоит из 12-и битов, которые синхронизированы со сверхциклом (согласно ITU-T G.961, Appendix II §II.8.3.3.1.). В нижеследующей таблице показан ЕОС цикл.

Биты	3	1	8
Функция	Адресное поле	Индикатор данных/сообщений	Информационное поле

Таблица 9: Структура ЕОС цикла

Трехбитовое адресное поле используется для адресации не более 7-и различных местоположений.

Бит индикатора данных/сообщений устанавливается на значение логической единицы в случае, если информационное поле содержит код операции, или на значение логического нуля, если информационное поле содержит цифровое данное. Информационное поле имеет возможность хранить как максимум 256 различных сообщений.

В одном сверхцикле имеются ровно два ЕОС цикла.

11.3.4.2. Режим работы

ЕОС протокол функционирует в циклическом режиме команда/ответ (согласно ITU-T G.961, Appendix II §II.8.3.3.2.). Должны быть приняты три идентичных, правильно адресованных, последовательных сообщения прежде, чем инициировать действие.

Сеть должна непрерывно передавать правильно адресованное сообщение. С целью инициирования действия на адресованном устройстве, сеть продолжит посылать сообщение до тех пор, пока не примет три идентичных последовательных ЕОС цикла от адресованного устройства, которые подтверждают переданный ЕОС цикл. Посылка сообщения со стороны NT1 и прием на стороне сети трех идентичных последовательных правильно адресованных “Unable To Comply” сообщений означает подтверждение сети того, что NT1 не поддерживает запрашиваемую функцию, поэтому в данный момент сеть может прекратить попытки.

Адресованное устройство инициирует действие только в случае, если будут приняты три идентичных, последовательных, правильно адресованных ЕОС цикла, которые содержат сообщение, распознанное адресованным устройством. NT1 должен ответить на все принятые сообщения. Ответ должен представлять эхо принятого ЕОС цикла, согласно сети, причем имеются два исключения, которые будут объяснены в продолжении текста. Каждый ответ (и эхо) должен находиться в следующем доступном ЕОС цикле, причем допускается запаздывание процесса в приблизительно 0.75мс.

Если NT1 не распознает сообщения (Data/Message индикатор установлен на значение логической единицы) в правильно адресованном ЕОС цикле, вместо эха, по приеме третьего и каждого последующего одинакового правильно адресованного ЕОС цикла, NT1 ответить сообщением “Unable To Comply” в следующем доступном цикле.

В случае приема ЕОС цикла с адресами, различающимися от адреса NT1 (000), или ЕОС цикла с адресом broadcast, в следующем свободном ЕОС цикле NT1 вернет к сети ЕОС цикл с сообщением “Hold State” со своим адресом (000).

Если NT1, на котором не реализованы ЕОС функции для передачи данных, примет байт данных (Data/Message индикатор установлен на уровень логического нуля) в правильно адресованном ЕОС цикле, вместо эха, по приеме третьего и каждого последующего одинакового правильно адресованного ЕОС цикла, NT1 ответит сообщением “Unable To Comply” в следующем доступном ЕОС цикле.

11.3.4.3. Адресация

NT1 должен распознать два адреса: свой (000) и broadcast адрес (111) (согласно ITU-T G.961, Appendix II §II.8.3.3.3.). При посылке сообщения “Unable To Comply”, NT1 должен передать адрес 000.

11.3.4.4. Определение запрашиваемых ЕОС функций (согласно ITU-T G.961, Appendix II §II.8.3.3.4.)

1. Шлейф 2B+D. По настоящему сообщению устанавливается шлейф на данных 2B+D на NT1 в направлении к сети. Шлейф может быть прозрачным или нет, но, во

всяком случае должен обеспечить поддержание синхронизации на окончном оборудовании.

2. Шлейфы В1 или В2. По настоящем сообщении устанавливается шлейф на каналах В1 или В2 на NT1 в направлении к сети. Шлейф прозрачный. Настоящее сообщение является опциональным.
3. Возвращение в нормальный режим работы. По настоящем сообщении прекращаются все ЕОС контролируемые действия, которые в данный момент выполняются. Назначение этой функции - установить ЕОС контроллер в исходное состояние.
4. Unable To Comply. Настоящее сообщение означает, что NT1 принял ЕОС сообщение, но принятое сообщение NT1 не поддерживает.
5. Запрос разрушения CRC суммы. Настоящее сообщение является запросом, чтобы NT1 начал передавать ЕОС циклы в направлении к сети, содержащие намеренно разрушенную CRC сумму, до тех пор, пока не примет сообщение о возвращении в нормальный режим работы.
6. Подтверждение разрушенной CRC суммы. Настоящее сообщение информирует NT1 о том, что сеть начнет посылку ЕОС циклов с намеренно разрушенной CRC суммой, до тех пор, пока не примет сообщение о возвращении в нормальный режим работы.
7. Hold State. Состояние удерживания. С помощью настоящего сообщения сеть удерживает NT1 и его ЕОС контроллер и любую активную в данный момент ЕОС функцию в текущем состоянии. Настоящее сообщение, также, может передавать NT1 в направлении к сети в качестве индикации о том, что принял сообщение с неправильным адресом.

11.3.4.5. Коды ЕОС функций

Коды ЕОС функций показаны в нижеследующей таблице (согласно ITU-T G.961, Appendix II §II.8.3.3.5.):

Сообщение	Код сообщения	Origin(o) Destination (d)	
		Сеть	NT1
2B+D шлейф	0101 0000	o	d
В1 шлейф	0101 0001	o	d
В2 шлейф	0101 0010	o	d
Запрос изменения CRC	0101 0011	o	d
Подтверждение о измененном CRC	0101 0100	o	d

		Origin(o) Destination (d)	
Возвращение в нормальную работу	1111 1111	o	d
Состояние удерживания	0000 0000	d/o	o/d
Unable To Comply	1010 1010	d	o

Таблица 10: Коды ЕОС функций

64 ЕОС сообщения зарезервированы для нестандартных применений в следующие 4 блока, каждый из 16-и кодов: 0100 xxxx, 0011 xxxx, 0010 xxxx, 0001 xxxx. Дальше, 64 ЕОС зарезервированы для употребления внутри сети в 4-ех блоках , каждый из 16-и кодов: 0110 xxxx, 0111 xxxx, 1000 xxxx, 1001 xxxx. Все остальные коды, которые не приведены в предыдущей таблице или которые не зарезервированы для нестандартных применений или употребления внутри сети, зарезервированы для потребностей стандартизации в будущем.

12 Запуск и контроль

В соответствии с ITU-T G.961, Appendix II, §II.10.